

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-143380

(43)公開日 平成11年(1999)5月28日

(51) Int.Cl. ⁶		識別記号	F I		
G 0 9 F	9/00	3 4 6	C 0 9 F	9/00	3 4 6 Z
G 0 6 F	12/00	5 8 0	C 0 6 F	12/00	5 8 0
G 0 9 G	3/20		G 0 9 G	3/20	R
	3/36			3/36	
	5/00	5 2 0		5/00	5 2 0 W

審査請求 未請求 請求項の数12 O.L (全 10 頁) 最終頁に続く

(21)出願番号 特願平9-304582

(22)出題日 平成9年(1997)11月6日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 繁田 和之

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

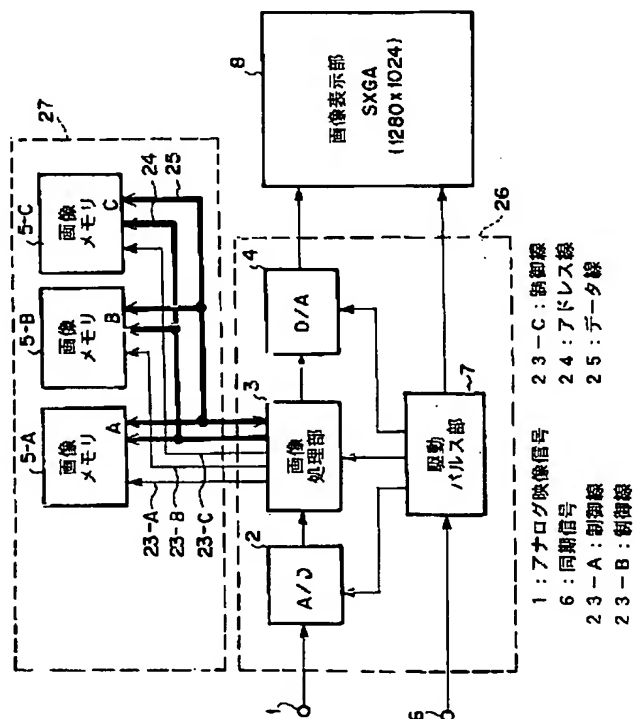
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 画像表示部の解像度に応じ、適正サイズのメモリを搭載の基板を設計する必要がある。

【解決手段】 デジタル信号を加工する画像処理手段3, 7と、少なくとも画像一画面分のデータを記憶するデータ記憶手段5と、画像処理手段3, 7からの画像信号に基づいて画像を表示する画像表示手段8と、を有する画像表示装置において、データ記憶手段5を取り外し可能とした、またはデータ記憶手段5の少なくとも一部を増設・減設可能とした。



【特許請求の範囲】

【請求項1】 デジタル信号を加工する画像処理手段と、少なくとも画像一画面分のデータを記憶するデータ記憶手段と、該画像処理手段からの画像信号に基づいて画像を表示する画像表示手段と、を有する画像表示装置において、

前記データ記憶手段を取り外し可能としたことを特徴とする画像表示装置。

【請求項2】 デジタル信号を加工する画像処理手段と、少なくとも画像一画面分のデータを記憶するデータ記憶手段と、該画像処理手段からの画像信号に基づいて画像表示手段と、を有する画像表示装置において、前記データ記憶手段の少なくとも一部を増設・減設可能としたことを特徴とする画像表示装置。

【請求項3】 前記データ記憶手段は、前記画像処理手段とは異なる基板上に設けられていることを特徴とする請求項1または請求項2に記載の画像表示装置。

【請求項4】 前記データ記憶手段は、前記画像表示手段の解像度に応じて取り外し、もしくは増設・減設を行うことを特徴とする請求項1～3のいずれかの請求項に記載の画像表示装置。

【請求項5】 前記データ記憶手段は、前記画像表示手段の階調数に応じて取り外し、もしくは増設・減設を行うことを特徴とする請求項1～3のいずれかの請求項に記載の画像表示装置。

【請求項6】 前記データ記憶手段は、画像表示装置の画像処理を必要とする付加機能の有無によって、取り外し、もしくは増設・減設を行うことを特徴とする請求項1～3のいずれかの請求項に記載の画像表示装置。

【請求項7】 前記制御手段は、あらかじめ想定されるデータ記憶手段の最大数分設けたことを特徴とする請求項1～6のいずれかの請求項に記載の画像表示装置。

【請求項8】 前記データ記憶手段の取り外し、増設・減設は前記画像表示部の表示速度向上の為に分割して行われる駆動の分割方法に対応していることを特徴とする請求項1～7のいずれかの請求項に記載の画像表示装置。

【請求項9】 前記画像表示手段が、液晶表示素子であることを特徴とする請求項1～8のいずれかの請求項に記載の画像表示装置。

【請求項10】 前記画像表示手段が、光を反射して表示する素子であることを特徴とする請求項1～8のいずれかの請求項に記載の画像表示装置。

【請求項11】 前記画像表示手段が、光を透過して表示する素子であることを特徴とする請求項1～8のいずれかの請求項に記載の画像表示装置。

【請求項12】 前記画像表示手段が、プラズマディスプレイパネルであることを特徴とする請求項1～8のいずれかの請求項に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はディスプレイデバイス上に画像を表示する画像表示装置に関するものである。

【0002】

【従来の技術】近年ディスプレイモニタは、パソコンの画像情報量の増大に伴い、高解像度化、高階調化が進むと共に、TVなど様々な複合化した情報を扱う様になってきた。さらに液晶やプラズマディスプレイ方式といったCRT以外のモニタの登場により画像情報をデジタル化して扱う機会が増加している。

【0003】図13に、従来例として、液晶パネルを画像表示部として用いた画像表示装置のブロック図を示す。同図において、1はアナログの映像信号の入力端子であり、2はA/Dコンバータ、3はデジタル化した画像を加工し、液晶パネルに適応した信号に変換する画像処理部、4はD/Aコンバータであり、5が画像処理部3で画像を加工する際に用いる画像メモリである。また、6が映像信号の同期信号の入力端子であり、7がこの信号から各種の駆動用、制御用パルスを発生させる駆動パルス発生部である。ここよりのパルスはA/Dコンバータ2やD/Aコンバータ4をはじめ画像処理部3の制御パルスになる一方で、画像表示部8の駆動パルスとなる。またD/Aコンバータ4からのアナログに変換された信号が、画像表示部8への画像入力信号となる。

【0004】図14に、画像表示部8の一例として、液晶パネルの構成図を示す。同図において、9が水平方向の走査回路としてのシフトレジスタ(HSR)であり、10がそのスタートパルス(ϕ HST)、11が水平方向のシフトクロック(ϕ HCK)である。また、12が垂直方向の走査回路としてのシフトレジスタ(VSR)であり、13がそのスタートパルス(ϕ VST)、14が垂直方向のシフトクロック(ϕ VCK)である。15が液晶パネルの映像信号入力端子であり、36が共通信号線である。17が垂直信号線であり、16及び19がMOSトランジスタで構成された転送スイッチである。18がゲート線であり、20が液晶セル、21が電荷を保持するための容量である。また、22が液晶の対向電極(共通電極)である。

【0005】入力された映像信号は、水平シフトレジスタ(HSR)9で順次選択され、転送スイッチ16を介して、垂直信号線17に転送される。この時、垂直シフトレジスタ(VSR)12は、あるゲート線18を選択しており、この結果、水平シフトレジスタ(HSR)9と垂直シフトレジスタ(VSR)12でマトリクス的に選択された特定画素の転送スイッチ19が選択され、対向電極22の電位に対して、液晶セル20及び保持容量21に画素の映像信号の電位が充電され、画素表示が行われる。

【0006】ところで、近年のデバイス技術の発達に伴

い、こうした液晶パネルを初めとする画像表示デバイスの高画素数化、高階調化は著しく、またこれに伴い、画像表示装置内で扱うデータ数も増大している。例えば、VGAクラス(640×480画素、6bit精度のRGB3色)で、5.5Mbit/1フレーム程度だったものが、XGAクラス(1024×768×8bit×3色)で、18.9Mbit/1フレーム、SXGAクラス(1280×1024×8bit×3色)で31.5Mbit/1フレームに達する。こうした高解像度化、高階調化に伴い、特にメモリの占めるコスト的な割合が大きくなっている。

【0007】

【発明が解決しようとする課題】しかしながら、従来の画像表示装置のフレームメモリは、画像表示部の解像度に応じた必要量のメモリが、画像処理部と同一基板上に実装されている為に、同様の製品で、表示画素数の高い製品を作ろうとした場合、新しい画像表示部の解像度に応じたサイズのメモリを搭載する基板26(図13の点線領域)を新規に設計しなおさなくてはならず、設計の負荷と部品の非共通化によりコストの増大を招いていた。

【0008】また、フレームメモリを最小限とした単機能の製品と、メモリを多く用いてピクチャーインピクチャーや画面分割などの機能を持つ高機能製品においても基板の共通化ができず、同様の問題があった。本発明の目的は、ディスプレイの高解像度化、高機能化にあたり、コスト比率の高いメモリ以外の領域を共有し、メモリの増設可能な構成にすることにより、低コストで複数のグレードの製品のラインナップを実現することである。

【0009】

【課題を解決するための手段】本発明の画像表示装置は、デジタル信号を加工する画像処理手段と、少なくとも画像一画面分のデータを記憶するデータ記憶手段と、該画像処理手段からの画像信号に基づいて画像を表示する画像表示手段と、を有する画像表示装置において、前記データ記憶手段を取り外し可能としたことを特徴とする。

【0010】また本発明の画像表示装置は、デジタル信号を加工する画像処理手段と、少なくとも画像一画面分のデータを記憶するデータ記憶手段と、該画像処理手段からの画像信号に基づいて画像表示手段と、を有する画像表示装置において、前記データ記憶手段の少なくとも一部を増設・減設可能としたことを特徴とする。

【0011】上記本発明により、画像表示手段の異なる解像度、階調、あるいは機能の複数の製品に対し、データ記憶手段以外の画像処理部等の非データ記憶手段を共有化することが可能となり、また、製品の開発費も削減し、低コストを容易に実現する。また、画像表示手段特有の分割駆動に対応してメモリを分割し、その一部を取

り外し、増・減設可能にすることにより、システム構成の簡略化を実現する。

【0012】本発明は、透過型、反射型の表示素子、液晶表示素子、PDP(プラズマディスプレイパネル)等デジタル画像処理を伴うあらゆる画像表示装置に適用可能である。

【0013】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

(第1の実施例)図1および図2に、本発明の第1の実施例の画像表示装置のブロック図を示す。図1および図2において、1はアナログの映像の入力端子であり、2はA/Dコンバータ、3はデジタル化した画像を加工し、画像表示部に適応した信号に変換する画像処理部、4はD/Aコンバータであり、5-A、5-B、5-Cが画像処理部3で画像を加工する際に用いる画像メモリである。また、6が映像信号の同期信号の入力端子であり、7が駆動パルス発生部である。また、23-A、23-B、23-Cが、各画像メモリ5-A、5-B、5-Cに対応した制御線であり、24がアドレスバス、25がデータバスである。なお、画像処理部3および駆動パルス発生部7は画像処理手段を構成する。ここで、A/Dコンバータ2、画像処理部3、D/Aコンバータ4、駆動パルス発生部7までが同一基板26上にあり、メモリ部は別基板27に設けられている。画像処理部3は、あらかじめ想定されるメモリ制御信号23-A、23-B、23-Cを備えている。

【0014】ここで、例えばSVGAの解像度(800×600画素)とSXGA(1280×1024画素)の解像度の異なる画像表示部8'、8に対するシステムを考える。SXGAはSVGAに対し約3倍の画素数を有している。このため、SXGAでは図1の構成に対し、SVGAでは図2の様にメモリ部の基板上のメモリを1/3のものとし、また、使用しないメモリの制御線、データ線、アドレス線はN.C.(未結線)としている。この時の各々のタイミングチャートを図3、図4に示す。

【0015】垂直方向の同期信号28に対し、画像処理部から画像データ29がメモリとの間でやりとりされる。ここで、SXGAではメモリA、B、Cの制御信号30、31、32を順次与えることにより、33、34、35の様に各メモリに入出力するデータが切りかわる(図3)。また、SVGAでは、必要メモリ量が1/3なので図4に示すようにメモリAの制御信号のみ与え(Hレベル)、メモリB、CをOFF(Lレベル)し、またメモリもAのみしか実装しない基板で対応する。

【0016】これにより、画像表示部の画素数が変わっても、あらかじめ画像処理部の制御モードを複数用意し、増設するメモリの制御信号を用意しておくことにより、画像メモリの基板以外の領域(基板26)を共有可

能にすることにより、低コストで高解像度化製品に対応が可能になる。また、あらかじめ画像処理部の制御モードを複数用意しておかなくても、こうした画像処理部はカスタムでゲートアレイ等をおこすことが多いので、あらかじめ複数の制御線を用意したピン配置としておき、ゲートアレイのみを同じピン配置でSVGA対応品とSXGA対応品に作成しなおすことでも、同様の基板共有化のメリットは得られる。

(第2の実施例) ディスプレイの高解像度化に対し、液晶などの表示デバイスの駆動可能な速度が、その実現可能な解像度を律速する。こうした限界を打破する手法として、複数画素を同時に書きこむ分割駆動が知られている。

【0017】例えば図5に、2画素ずつを同時に書きこむ2分割駆動を行う液晶パネルの例を示した。ここで9～21で示す構成部材は図14で示した液晶パネルの構成部材と同じである。ここでは入力をデジタル8ビットの信号とし、パネル内部でD/A変換機能を内部にもったデジタル入力型液晶パネルを例示する。

【0018】入力がデジタルであること以外に、図14と異なるのは、入力端子が37-1及び37-2と2系統であり、各々の信号がD/Aコンバータ38-1、38-2を介し共通信号線36-1、36-2に同時に供給され、また水平シフトレジスタの出力も隣接する2つの垂直信号線17につながるスイッチ16を同時にスイッチングすることである。この結果、水平シフトレジスタのスピードは従来と同じままに、倍の数の画素に信号を書きこむことが可能となる。

【0019】このことは、例えば画素数が1024×768のXGA解像度の液晶パネルを書きこむのに70MHzのスピードが必要とされる時に、約2倍の画素数1280×1024のSXGAを140MHzで書きこむ必要がなく、70MHz×2系統でXGAと同じスピードで書きこめることを示している。

【0020】この時の本発明の第2の実施例を図6及び図7のブロック図に示す。1は8ビットのデジタル映像信号の入力端子であり、図6(SXGA)の時は約140MHz、図7(XGA)の時は約70MHzの入力信号が画像処理部3に入力する。図6において、デジタル信号は画像処理部において、図8の40の入力信号に対し、41及び42の様に半分のスピードで同じタイミングの信号にデマルチプレクスされる。一方の信号はメモリ5-Dを介し画像処理された後、出力39-Dを介し、液晶パネルの2系統の入力の片方37-1に入力される。

【0021】もう一方の信号はメモリ5-Eを介し画像処理された後、出力39-Eを介し液晶パネルの2系統の入力の残りの37-2に入力され、SXGAの画像表示は約70MHzで表示される。なお、ここでは駆動パルス部は省略している(以下の実施例についても同様に

省略する)。メモリ5-Dおよび画像処理部3は基板26に設けられ、メモリ5-Eは基板27に設けられる。

【0022】XGAの画像表示部8"の場合は、メモリ5-E部の基板27をとり外し、図8の43に示す約70MHzの入力信号が画像処理部に入力し、メモリ5-D側のみを介して処理され、出力39-Dを介し、分割駆動しないXGAの液晶パネルに入力し、約70MHzで表示を行う(図7)。

【0023】メモリ5-E側は、この場合必要としないため、制御線23-E及びアドレス線24-Eはハイインピーダンスとし、また入出力端子であるデータ線25-Eも出力方向として、ハイインピーダンスとする。さらにこの時は、メモリ5-E側の回路動作は停止させ、消費電力を低減させる。こうした切りかえ回路を画像処理部3が有することにより、解像度によってメモリを増設・減設することが可能になる。特に、本実施例では表示デバイスの駆動方法の分割に対応してメモリを分割して用意することにより、こうした低コスト化を容易に実現可能としている。

(第3の実施例) メモリの分割方式としては、他にメモリの上位ビットと下位ビットに分けて用意して、低階調、低価格製品と高階調高級製品とでメモリの増設・減設を使いわけも可能である。

【0024】図9及び図10はこうした第3の実施例を示すブロック図である。1は8ビットのデジタル映像信号の入力端子、3は画像処理部、5-Dは入力8ビットのうち上位4ビット用のフレームメモリ、5-Eは入力8ビットのうち下位4ビット用のフレームメモリであり、8は図9では8ビットデジタル入力高階調液晶パネル、図10では4ビットデジタル入力低階調低コスト液晶パネルである。また23-D及び23-EはメモリD及びE各々の制御線、24-D及び24-Eはアドレス線であり、25-D及び25-Eはデータ線である。

【0025】図9の様に階調数を多くした画質重視の製品では、フレームメモリ5-Eを搭載したメモリ基板27を増設し、8ビットの表示素子に対応させる一方で、図11に示す低階調で低コスト重視の製品では、メモリ基板27を用いないことにより、低階調で低コストな4ビット表示素子を用いた製品にも基板26をそのまま用い、部品共有化を行い、低コストを実現している。

【0026】制御線23及びアドレス線24はハイインピーダンスとし、また入出力端子であるデータ線25も出力方向として、ハイインピーダンスとする。

(第4の実施例) また本発明は、ディスプレイの機能を多様化させた製品展開を行う際にも有効である。

【0027】ディスプレイ単体としては、液晶パネルなどの画像表示デバイスへの信号処理としては、コントラストやブライト、 γ 調整をして信号を最適化する必要があるが、特にフレームメモリを用いた画像処理は必要としない。従ってフレームメモリを用いないシステム構成

が最もベーシックな製品となり得る。

【0028】一方、製品のラインナップとしては、3次元の画像処理などを施して、液晶の応答速度等デバイスの欠点を補う高画質化回路を有した製品や、多画面や静止画機能などの多機能製品など、フレームメモリを用いるものが数多くある。図11及び図12は、こうした場合の本発明の第4の実施例を示すブロック図である。

【0029】単機能製品においても高機能製品においても基板26及び画像表示部8は共通で、メモリ5を搭載した基板27の有無が異なるのみである。この構成を実現する為、画像処理部3は、メモリを使用、不使用を切り替え可能であり、使用しない場合、画像処理経路からメモリを外す様なスイッチ動作を行う。また、空き端子となるメモリ制御信号線23及びアドレス線24の出力はハイインピーダンスとし、また、双方向の入出力端子データ線25も出力方向とし、同様にハイインピーダンスとする。

【0030】この結果、図11の様な高機能製品と、図12の単機能製品と部品共有化が実現され、製品の低コスト化が容易に実現できる。

【0031】

【発明の効果】以上説明したように、本発明によれば、データ記憶手段を画像処理手段から取り外しあるいは増減設可能にすることにより、複数の製品においてデータ記憶手段以外の領域を共有化でき、また開発費も削減することにより低コストを容易に実現できる。

【0032】特に、ディスプレイ特有な高解像度化、高階調化、高機能化（マルチ画面）など、メモリの増大方向に対し基本コンポーネントの共有化を実現することができる。また、ディスプレイ特有の高速駆動の為に必要な分割駆動方法に対応して、メモリを分割することにより、メモリの増減設時の構成の簡略化を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための画像表示装置のブロック図である。

【図2】本発明の第1の実施例を説明するための画像表示装置のブロック図である。

【図3】本発明の第1の実施例を説明するための画像表示装置の動作を示すタイミング図である。

【図4】本発明の第1の実施例を説明するための画像表示装置の動作を示すタイミング図である。

【図5】本発明の第2の実施例で用いる液晶パネルの構成図である。

【図6】本発明の第2の実施例を説明するための画像表示装置のブロック図である。

【図7】本発明の第2の実施例を説明するための画像表示装置のブロック図である。

【図8】本発明の第2の実施例を説明するためのタイミング図である。

【図9】本発明の第3の実施例を説明するための画像表示装置のブロック図である。

【図10】本発明の第3の実施例を説明するための画像表示装置のブロック図である。

【図11】本発明の第4の実施例を説明するための画像表示装置のブロック図である。

【図12】本発明の第4の実施例を説明するための画像表示装置のブロック図である。

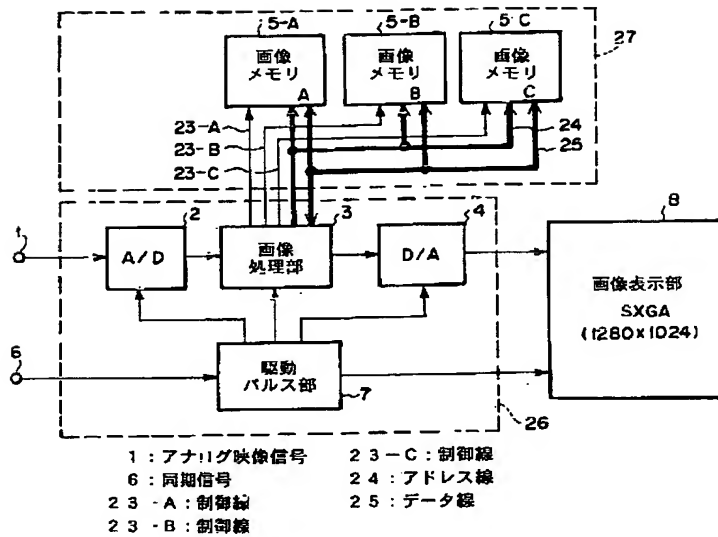
【図13】従来例を説明するための画像表示装置のブロック図である。

【図14】液晶パネルの構成図である。

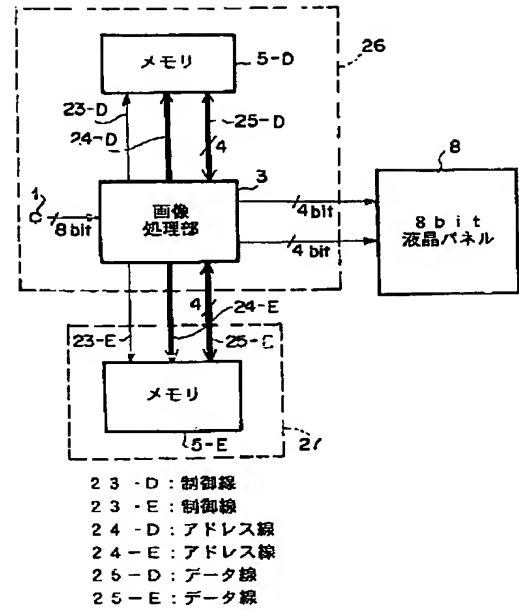
【符号の説明】

- 1 アナログ映像入力端子
- 2 A/Dコンバータ
- 3 画像処理部
- 4 D/Aコンバータ
- 5-A, 5-B, 5-C 画像メモリ
- 6 同期信号入力端子
- 7 駆動パルス発生部
- 8, 8', 8'' 画像表示部
- 9 シフトレジスタ(HSR)
- 10 スタートパルス(ϕ HST)
- 11 シフトクロック(ϕ HCK)
- 12 シフトレジスタ(VSR)
- 13 スタートパルス(ϕ VST)
- 14 シフトクロック(ϕ VCK)
- 15 映像信号入力端子
- 16, 19 転送スイッチ
- 17 垂直信号線
- 18 ゲート線
- 20 液晶セル
- 21 保持容量
- 22 対向電極(共通電極)
- 23-A, 23-B, 23-C 制御線
- 24 アドレスバス
- 25 データバス
- 26, 27 基板
- 36 共通信号線
- 37-1, 37-2 映像信号入力端子
- 38-1, 38-2 DAコンバータ回路
- 39-D, 39-E 出力信号線

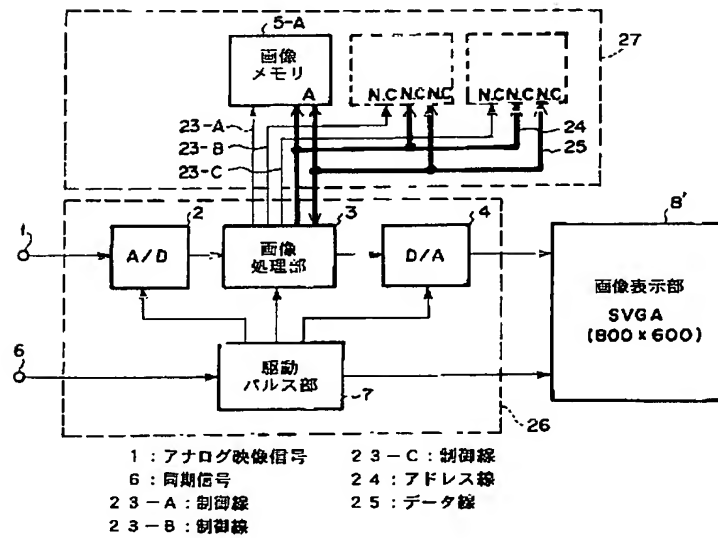
【図1】



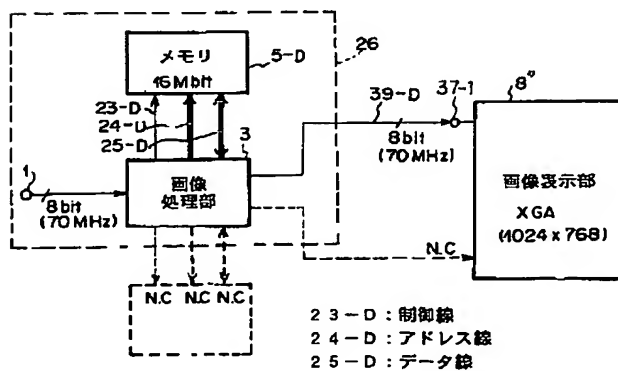
【図9】



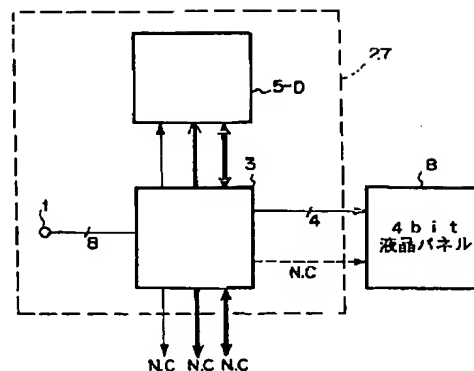
【図2】



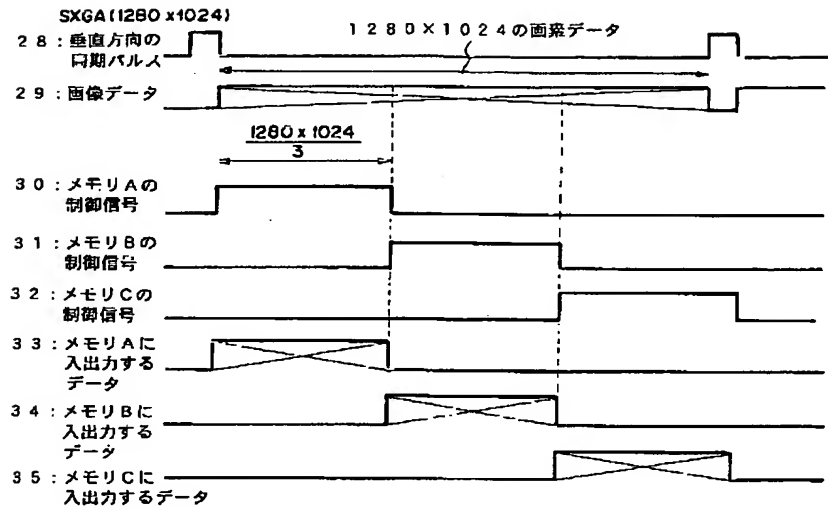
【図7】



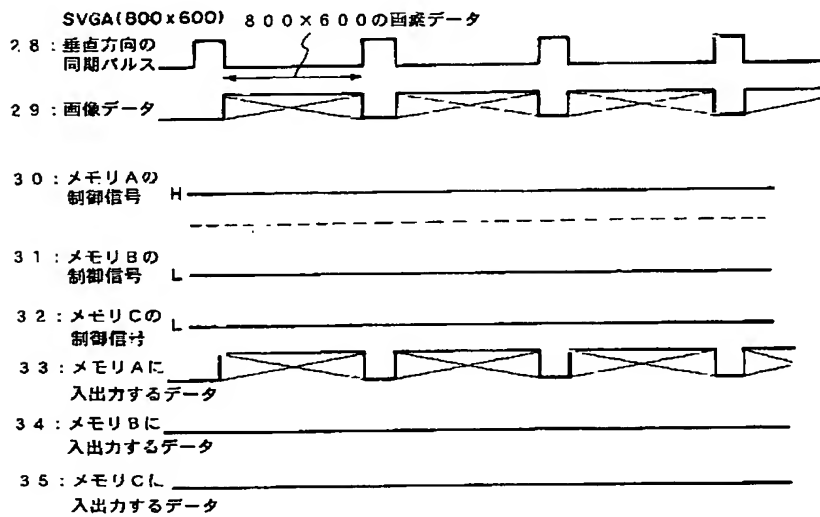
【図10】



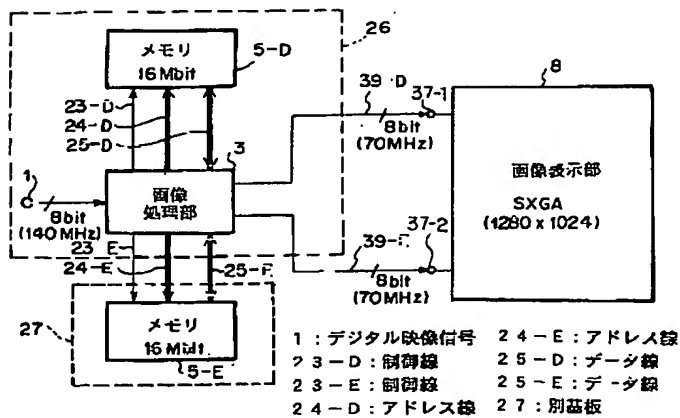
【図3】



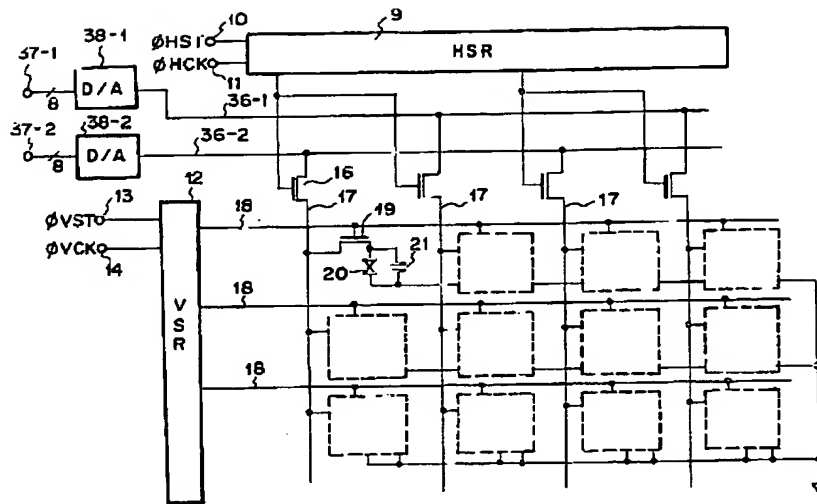
【図4】



【図6】

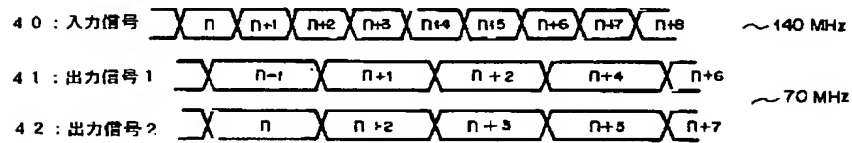


【図5】

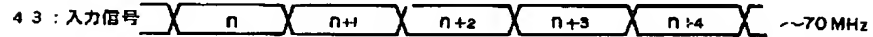


【図8】

SXGAの信号



XGAの信号



【図11】

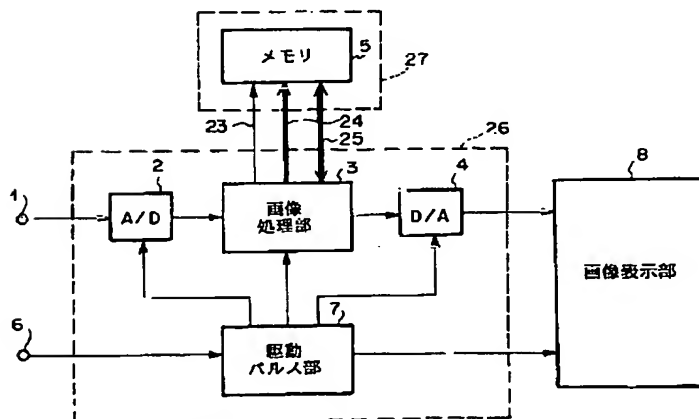


Figure 1 is a block diagram of a video display system. The system includes an input terminal 1, an A/D converter 2, an image processor 3, an image memory 5, a D/A converter 4, a driving pulse generator 6, and an image display unit 8 (liquid crystal panel). The A/D converter 2 receives input from terminal 1 and outputs to the image processor 3. The image processor 3 is connected to the image memory 5 via bidirectional data buses 23, 24, and 25. The image processor 3 also outputs to the D/A converter 4. The D/A converter 4 outputs an image signal (画像信号) to the image display unit 8. The driving pulse generator 6 is connected to the image processor 3 and outputs a driving signal (駆動信号) to the image display unit 8. The entire system is enclosed in a dashed box labeled 26.

1997, 1998, 1999, 2000, 2001, 2002, 2003, 2004, 2005, 2006, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2014, 2015, 2016, 2017, 2018, 2019, 2020, 2021, 2022, 2023, 2024, 2025, 2026, 2027, 2028, 2029, 2030, 2031, 2032, 2033, 2034, 2035, 2036, 2037, 2038, 2039, 2040, 2041, 2042, 2043, 2044, 2045, 2046, 2047, 2048, 2049, 2050, 2051, 2052, 2053, 2054, 2055, 2056, 2057, 2058, 2059, 2060, 2061, 2062, 2063, 2064, 2065, 2066, 2067, 2068, 2069, 2070, 2071, 2072, 2073, 2074, 2075, 2076, 2077, 2078, 2079, 2080, 2081, 2082, 2083, 2084, 2085, 2086, 2087, 2088, 2089, 2090, 2091, 2092, 2093, 2094, 2095, 2096, 2097, 2098, 2099, 2100, 2101, 2102, 2103, 2104, 2105, 2106, 2107, 2108, 2109, 2110, 2111, 2112, 2113, 2114, 2115, 2116, 2117, 2118, 2119, 2120, 2121, 2122, 2123, 2124, 2125, 2126, 2127, 2128, 2129, 2130, 2131, 2132, 2133, 2134, 2135, 2136, 2137, 2138, 2139, 2140, 2141, 2142, 2143, 2144, 2145, 2146, 2147, 2148, 2149, 2150, 2151, 2152, 2153, 2154, 2155, 2156, 2157, 2158, 2159, 2160, 2161, 2162, 2163, 2164, 2165, 2166, 2167, 2168, 2169, 2170, 2171, 2172, 2173, 2174, 2175, 2176, 2177, 2178, 2179, 2180, 2181, 2182, 2183, 2184, 2185, 2186, 2187, 2188, 2189, 2190, 2191, 2192, 2193, 2194, 2195, 2196, 2197, 2198, 2199, 2200, 2201, 2202, 2203, 2204, 2205, 2206, 2207, 2208, 2209, 2210, 2211, 2212, 2213, 2214, 2215, 2216, 2217, 2218, 2219, 2220, 2221, 2222, 2223, 2224, 2225, 2226, 2227, 2228, 2229, 2230, 2231, 2232, 2233, 2234, 2235, 2236, 2237, 2238, 2239, 2240, 2241, 2242, 2243, 2244, 2245, 2246, 2247, 2248, 2249, 2250, 2251, 2252, 2253, 2254, 2255, 2256, 2257, 2258, 2259, 2260, 2261, 2262, 2263, 2264, 2265, 2266, 2267, 2268, 2269, 2270, 2271, 2272, 2273, 2274, 2275, 2276, 2277, 2278, 2279, 2280, 2281, 2282, 2283, 2284, 2285, 2286, 2287, 2288, 2289, 2290, 2291, 2292, 2293, 2294, 2295, 2296, 2297, 2298, 2299, 2300, 2301, 2302, 2303, 2304, 2305, 2306, 2307, 2308, 2309, 2310, 2311, 2312, 2313, 2314, 2315, 2316, 2317, 2318, 2319, 2320, 2321, 2322, 2323, 2324, 2325, 2326, 2327, 2328, 2329, 2330, 2331, 2332, 2333, 2334, 2335, 2336, 2337, 2338, 2339, 2340, 2341, 2342, 2343, 2344, 2345, 2346, 2347, 2348, 2349, 2350, 2351, 2352, 2353, 2354, 2355, 2356, 2357, 2358, 2359, 2360, 2361, 2362, 2363, 2364, 2365, 2366, 2367, 2368, 2369, 2370, 2371, 2372, 2373, 2374, 2375, 2376, 2377, 2378, 2379, 2380, 2381, 2382, 2383, 2384, 2385, 2386, 2387, 2388, 2389, 2390, 2391, 2392, 2393, 2394, 2395, 2396, 2397, 2398, 2399, 2400, 2401, 2402, 2403, 2404, 2405, 2406, 2407, 2408, 2409, 2410, 2411, 2412, 2413, 2414, 2415, 2416, 2417, 2418, 2419, 2420, 2421, 2422, 2423, 2424, 2425, 2426, 2427, 2428, 2429, 2430, 2431, 2432, 2433, 2434, 2435, 2436, 2437, 2438, 2439, 2440, 2441, 2442, 2443, 2444, 2445, 2446, 2447, 2448, 2449, 2450, 2451, 2452, 2453, 2454, 2455, 2456, 2457, 2458, 2459, 2460, 2461, 2462, 2463, 2464, 2465, 2466, 2467, 2468, 2469, 2470, 2471, 2472, 2473, 2474, 2475, 2476, 2477, 2478, 2479, 2480, 2481, 2482, 2483, 2484, 2485, 2486, 2487, 2488, 2489, 2490, 2491, 2492, 2493, 2494, 2495, 2496, 2497, 2498, 2499, 2500, 2501, 2502, 2503, 2504, 2505, 2506, 2507, 2508, 2509, 2510, 2511, 2512, 2513, 2514, 2515, 2516, 2517, 2518, 2519, 2520, 2521, 2522, 2523, 2524, 2525, 2526, 2527, 2528, 2529, 2530, 2531, 2532, 2533, 2534, 2535, 2536, 2537, 2538, 2539, 2540, 2541, 2542, 2543, 2544, 2545, 2546, 2547, 2548, 2549, 2550, 2551, 2552, 2553, 2554, 2555, 2556, 2557, 2558, 2559, 2560, 2561, 2562, 2563, 2564, 2565, 2566, 2567, 2568, 2569, 2570, 2571, 2572, 2573, 2574, 2575, 2576, 2577, 2578, 2579, 2580, 2581, 2582, 2583, 2584, 2585, 2586, 2587, 2588, 2589, 2590, 2591, 2592, 2593, 2594, 2595, 2596, 2597, 2598, 2599, 2600, 2601, 2602, 2603, 2604, 2605, 2606, 2607, 2608, 2609, 2610, 2611, 2612, 2613, 2614, 2615, 2616, 2617, 2618, 2619, 2620, 2621, 2622, 2623, 2624, 2625, 2626, 2627, 2628, 2629, 2630, 2631, 2632, 2633, 2634, 2635, 2636, 2637, 2638, 2639, 2640, 2641, 2642, 2643, 2644, 2645, 2646, 2647, 2648, 2649, 2650, 2651, 2652, 2653, 2654, 2655, 2656, 2657, 2658, 2659, 2660, 2661, 2662, 2663, 2664, 2665, 2666, 2667, 2668, 2669, 2670, 2671, 2672, 2673, 2674, 2675, 2676, 2677, 2678, 26

Figure 1 is a schematic diagram of a shift register circuit. The circuit consists of a horizontal shift register (HSR) and a vertical shift register (VSR). The HSR is connected to a clock signal (Vsig) and a data input (VSTO). The VSR is connected to a clock signal (VCKQ) and a data input (VSTO). The HSR and VSR are connected to a grid of cells, each containing a transfer switch (16) and a storage element (17). The output of the HSR is connected to the input of the VSR. The output of the VSR is connected to a data output (Vout).

9 : 水平シフトレジスタ	16 : 転送スイッチ
10 : HSRスタートパルス	17 : 垂直信号線
11 : HSRクロック	18 : ゲート線
12 : 垂直シフトレジスタ	19 : 転送スイッチ
13 : VSRスタートパルス	20 : 液晶セル
14 : VSRクロック	21 : 保持容量
15 : 映像信号入力端子	22 : 共通電位
	36 : 共通信号線

フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

G 0 9 G 5/00

5 5 0

G 0 9 G 5/00

5 5 0 M

H 0 4 N 5/66

H 0 4 N 5/66

Z